

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-138946

(43)Date of publication of application : 13.06.1991

(51)Int.Cl.

H01L 21/331

H01L 29/73

(21)Application number : 01-276537

(71)Applicant : SONY CORP

(22)Date of filing : 24.10.1989

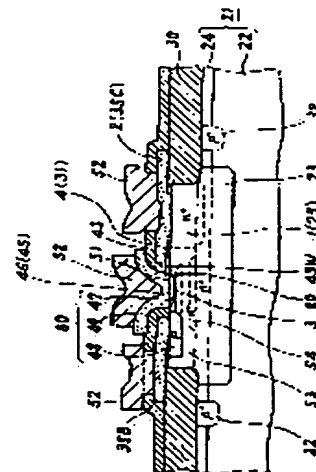
(72)Inventor : GOMI TAKAYUKI
MIWA HIROYUKI
KASHIWANUMA AKIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To avoid the decrease in breakdown strength between a base and a collector and the increase in collector resistance by providing a diffusion blocking layer for blocking the diffusion of impurities on the neighboring part between a specified semiconductor region part and another semiconductor region part and beneath a semiconductor layer containing impurities.

CONSTITUTION: An impurity-diffusion blocking layer 4, i.e., e.g. an SiO₂ surface insulating layer 31, which can block the diffusion of impurities from an impurity-containing semiconductor layer 2, is provided on a specified region part 1 of the semiconductor substrate 21, i.e., e.g. an collector-electrode leading-out region 25, and beneath the impurity-containing semiconductor layer 2, e.g. a collector electrode 35C, on the side of another region part 3 neighboring the region 1 (25), i.e., a base region 50. Thus the diffusion of impurities from the impurity-containing semiconductor layer 2 to a position in contact with the base region 50 is avoided, and the trouble such as the decrease in breakdown strength due to the occurrence of high concentration on the side of a collector is avoided. The width of an opening is sufficiently enlarged, and the collector resistance can be decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-138946

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月13日

H 01 L 21/331
29/73

8225-5F H 01 L 29/72

審査請求 未請求 請求項の数 1 (全12頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-276537

⑰ 出 願 平1(1989)10月24日

⑱ 発 明 者	五 味	孝 行	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	三 輪	浩 之	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	栢 沼	昭 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社			東京都品川区北品川6丁目7番35号
⑳ 代 理 人	弁理士 松隈 秀盛			

明 細 書

発明の名称 半導体装置

特許請求の範囲

所定の半導体領域部に不純物含有の多結晶半導体層がコンタクトされる半導体装置において、

上記所定の半導体領域部の、他の半導体領域部と隣接する部分上で上記不純物含有半導体層下に上記不純物の拡散を阻止する拡散阻止層が介在されてなることを特徴とする半導体装置。

発明の詳細な説明

以下の順序で本発明を説明する。

A 産業上の利用分野

B 発明の概要

C 従来の技術

D 発明が解決しようとする課題

E 課題を解決するための手段(第1図)

F 作用

G 実施例

H 発明の効果

A 産業上の利用分野

本発明は半導体装置、特にバイポーラトランジスタを具備する半導体集積回路に適用して好適な半導体装置に係わる。

B 発明の概要

本発明は半導体装置に係わり、所定の半導体領域部に不純物含有半導体層がコンタクトされる半導体装置において、その所定の半導体領域部の、他の半導体領域部と隣接する部分上で不純物含有半導体層下にその不純物の拡散を阻止する拡散阻止層が介在された構成とする。このようにすることによって上述した所定の半導体領域部と他の半導体領域部間の耐圧向上を図る。

C 従来の技術

従来のエミッタ、ベース及びコレクタを、セルフアライン(自己整合的)に多結晶シリコンを通じての不純物ドーピングによって形成する構造をとって超高速バイポーラトランジスタを構成するも

の提案が種々されている(例えば特開昭61-255064号公開公報参照)。

第7図はこの場合の一例を示し、(70)は半導体基体、(71)、(72)及び(73)はそれぞれ多結晶シリコン層を示し、多結晶シリコン層(71)からの不純物ドーピングによってベース領域の電極取出し領域(74)が形成され、多結晶シリコン層(72)を通じての不純物ドーピングによってベース動作領域(75)とエミッタ領域(76)とがそれぞれ形成される。多結晶シリコン層(73)はコレクタ電極となり、コレクタ電極取出し領域(77)上にわたって被着される。多結晶シリコン層(71)及び(73)は、同一工程で形成した多結晶シリコン層より成り、これらと多結晶シリコン層(72)との間には SiO_2 等の層間絶縁層(78)が形成され、多結晶シリコン層(72)の周縁にはサイドウォール(78W)が形成されるものであるが、このサイドウォール(78W)の形成及び多結晶シリコン層(72)の形成前にベースの動作領域(75)とベース電極取出し領域(74)間を連結するベース連結領域(79)がイオン注入等によって形成される。

(80)は低濃度コレクタ領域、(81)は低比抵抗コレクタ埋込み領域を示す。

ところがこのような構成による場合、コレクタ電極となる不純物を含有する多結晶シリコン層(73)がベース側においても直接的に半導体基体(70)上に接していることによって、この不純物含有多結晶シリコン層(73)からの不純物が半導体基体(70)の表面に拡散してベース領域に極く接近あるいは接してコレクタ側を高濃度化する恐れが生じ、これがベース・コレクタ間耐圧の低下を招来するとか、短路事故を発生するなどの問題がある。尚、第7図において(82)は絶縁分離用の厚い SiO_2 、換いわけゆるLOCOSによる分離絶縁層を示し、(83)はチャンネルストップ領域を示す。

また他の例としては、第8図に示すように分離絶縁層(82)の一部に貫通して多結晶シリコン層(73)を形成するという構成の提案もなされている。しかしながらこの場合においては多結晶シリコン層(73)の、その分離絶縁層(82)の貫通部の断面積を充分大にとることができないにもかかわらずこ

の貫通部は分離絶縁層(82)の厚さに対応して長くなることから、コレクタ抵抗が大となってバイポーラトランジスタの高速化を阻害するという問題点が生ずる。

D 発明が解決しようとする課題

本発明においては主として上述したベース・コレクタ間耐圧の低下、またコレクタ抵抗の増大化の回避を図ることを目的とする。

E 課題を解決するための手段

本発明においては第1図にその略線的断面図を示すように、所定の半導体領域部(1)に不純物含有半導体層(2)がコンタクトされる半導体装置において、その所定の半導体領域部(1)の他の半導体領域部(3)において、その所定の半導体領域部(1)の他の半導体領域部(3)と隣接する部分上で不純物含有半導体層(2)下に不純物の拡散を阻止する拡散阻止層(4)が介在された構成とする。

F 作用

上述の本発明構成によれば、所定の半導体領域部(1)に対してコンタクトされる不純物含有半導体層(2)が、半導体領域部(1)の他の半導体領域部(3)と隣接する部分上においては、不純物含有半導体層(2)下にその不純物の拡散阻止層(4)が介在される構成としたので、不純物含有半導体層からの不純物拡散によって他の半導体領域部(3)に近接して高濃度領域が隣接することが回避され、これによって半導体領域部(1)と他の半導体領域部(3)との間の耐圧すなわち例えば半導体領域部(1)がコレクタ電極の取出し領域であり、他の半導体領域部(3)がベース領域である場合、両者間の耐圧すなわちコレクタ・ベース間耐圧 V_{ce} の向上を図ることが出来る。

G 実施例

本発明をバイポーラトランジスタによる半導体集積回路に適用する場合の一例を、その略線的断面図を示す第1図と、さらにその製造工程図を示

す第2図を参照してその理解を容易にするために製造方法の一例と共に詳細に説明する。

(21)は半導体基体で、この例においては第1導電型の例えばp型のシリコンサブストレイト(22)の一主面上に選択的に第2導電型の例ではn型の不純物が高濃度をもって選択的に例えば拡散された埋込み領域(23)が形成され、これの上に第2導電型のこの例ではn型のシリコン半導体層(24)がエピタキシャル成長されてなる。

先ず第2図Aに示すように、必要に応じて半導体層(24)を横切って埋込み領域(23)上の一部に埋込み領域(23)と連続し得る深さに選択的にコレクタ電極取出し領域(25)が選択的拡散あるいはイオン注入等によって形成される。

その後第2図Bに示すように半導体層(24)上に例えば表面熱酸化によって形成したSiO₂下地膜(26)と耐酸化の例えばSiN(Si₃N₄)マスク層(27)とを全面的に形成し、フォトリソグラフィを光学的手法すなわちフォトリソグラフィの塗布、露光及び現像によって最終的に回路素子を形成する部分上

すなわちこの例では埋込み領域(23)上に対応する部分に被着形成してこれをマスクに、あるいは図示しないがSiO₂によるエッチングマスクを形成してこれをマスクに、SiN耐酸化マスク層(27)に対して選択的エッチングを行い、さらにこれをマスクにこの下のSiO₂下地膜(26)をエッチングしさらに半導体層(24)に対して所要の深さの溝(29)をエッチングすることによって形成する。

そして第2図Cに示すよう、溝(29)内の耐酸化マスク層(27)によって覆われていない部分のシリコン半導体層(24)の表面を熱酸化して厚い分離絶縁層(30)を形成する。すなわちいわゆるLOCOSによって厚さ5000~7000Åの分離絶縁層(30)を形成する。その後耐酸化マスク層(27)と必要に応じてこの下のSiO₂下地膜(26)を除去して新たに絶縁層(30)が形成されていない半導体層(24)に後述する多結晶半導体中の不純物の拡散を阻止する不純物拡散阻止層となり得る表面絶縁層(31)を例えば半導体層(31)の表面を熱酸化した1000Å程度の厚さのSiO₂表面絶縁層によって形成する。この場合、

分離絶縁層(30)及び表面絶縁層(31)の表面は、ほぼ一平面を形成するように溝(29)の深さ、分離絶縁層(30)及び表面絶縁層(31)の厚さ等の選定を行うことが望ましい。そしてこの分離絶縁層(30)を横切って各回路素子形成領域部間を横切るパターンをもって第1導電型のチャンネルストップ領域(32)を、例えばイオン注入によって形成する。このイオン注入は例えばp型の不純物のボロンB⁺を360keV以上で $10^{13} \sim 10^{14} \text{ cm}^{-2}$ 例えば $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量をもって分離絶縁層(30)上からこれを横切ってイオン注入し、チャンネルストップ領域(32)が半導体層(24)を横切る深さに形成する。

第2図Dに示すように、表面絶縁層(31)に対してフォトリソグラフィによる選択的エッチング等によって所定の半導体領域部(1)この例ではコレクタ電極取出し領域(25)上とこれに隣接する他の半導体領域(3)とにそれぞれ開口(33)及び(34)を両者間に所定の幅Wが存在するように穿設する。

第2図Eに示すように、表面絶縁層(31)の開口(33)及び(34)を避けて第1及び第2の半導体領域

部(1)及び(3)上を覆って不純物が導入されていないノンドープ多結晶シリコン半導体層(35)をCVD(化学的気相成長)法等によって形成する。

第2図Fに示すように、少なくとも開口(33)を有する部分上を含んで最終的に所定の半導体領域部(1)この例ではコレクタ電極取出し領域(25)に対する電極及びその配線となる部分を覆って不純物注入のマスクとなる第1のマスク層(36)を、例えば周知の光学的手法(写真技術)によって所定のパターンのフォトリソグラフィによって形成する。そしてこの不純物注入の第1のマスク層(36)が被着形成されず外部に露呈した多結晶半導体層(35)に第1導電型この例ではp型の不純物例えばボロンB⁺をイオン注入して第1導電型部分(35₁)を形成する。

第2図Gに示すように、不純物注入の第1のマスク層(36)を除去し、新たに不純物注入の第1のマスク層(36)と逆パターンの関係をもって例えばフォトリソグラフィよりなる不純物注入の第2のマスク層(37)を形成する。この第2のマスク層(37)は

第1のマスク層(36)の形成にあたって用いられた露光マスクと逆パターン(光透過部と非光透過部のパターンとが逆転したパターン)の露光マスクを用いるか、あるいは第1のマスク層としてポジタイプのフォトリソレジスト層によって形成し、第2のマスク層(37)をこれとは逆のネガタイプのフォトリソレジスト層によって形成することができ、このときは同一の露光マスクによって形成することができる。いずれの場合も両マスク層(36)及び(37)は高精度に逆パターンに形成することができる。そしてこの第2のマスク層(37)が形成されず外部に露呈した多結晶半導体層(35)に対して第2の導電型の不純物この例ではn型の不純物例えばP(りん)、あるいはAsをイオン注入して第2導電型部分(35₂)を形成する。

第2図Hに示すように多結晶半導体層(35)上の最終的にコレクタ電極及びベース電極と、さらにベース領域及びエミッタ領域を形成する部分上に選択的にフォトリソレジスト等のエッチングマスク層(38)を光学的手法によって形成し、これをマスク

として多結晶半導体層(35)のエッチングマスク層(38)によって覆われていない部分をエッチング除去する。

第2図Iに示すようにエッチングマスク層(38)を除去し、再びフォトリソレジスト等のエッチングマスク(39)を全面的に被着形成し、これに対して最終的にエミッタ形成部上を含みさらに最終的にベース動作領域とさらにこのベース動作領域とベース電極取出し領域とを連結する連結ベース領域の形成部上を含んで窓(40)を穿設し、この窓(40)を通じて多結晶半導体層(35)をエッチングして、多結晶半導体層(35)をコレクタ電極(或る場合はその配線部を含む)(35C)と、ベース電極(或る場合はその配線部を含む)(35B)とを分離すると共に、窓(34)を通じて半導体層(24)上に被着されたベース電極(35B)の最終的にベース電極取出し領域となる部分を残してエッチング除去し、欠除部(41)を形成する。その後半導体層(24)の上述の窓(40)及び欠除部(41)を通じて外部への露呈部に第1導電型例えばp型の不純物の例えばボロンBをイ

オン注入して不純物イオン注入領域(42)を形成する。さらに図示しないが第2の導電型の不純物を深くイオン注入して最終的に得るベース領域の深さを規制する第1導電型の不純物導入領域(80)を形成する。

第2図Jに示すように、欠除部(41)内を含んで絶縁層例えばSiO₂をCVD法によって全面的に所要の厚さに形成し、その後加熱アニール処理を施して後述する軽いエッチング(ライトエッチング)によって侵され難いマスク層の形成を行い、その後エッチバックを行って欠除部(41)の内側壁にサイドウォール(43W)を形成し、欠除部(41)より小なる内径を有する窓(44)を形成して半導体層(24)のイオン注入領域(42)上の一部の、最終的にエミッタ領域を形成する部分を外部に露呈する。

そして窓(44)内を含んで例えば多結晶シリコン半導体層(45)を全面的にCVD法等によって形成する。

第2図Kに示すように半導体層(45)をフォトリソグラフィによるパターンエッチングしてエミッ

タ電極(その配線を含む)(46)を形成する。そしてこのエミッタ電極(46)となる半導体層(45)を通じて第1導電型の不純物をイオン注入し、その後加熱アニール処理を行ってその注入不純物の拡散、活性化によってベース動作領域(47)を形成し、ベース電極(35B)からの不純物の拡散及び活性化によってベース取出し領域(48)を形成し、更に同時にイオン注入領域(42)からの不純物の拡散及び活性化によって領域(47)及び(48)を連結するベース連結領域(49)を形成する。このようにして領域(47)(48)及び(49)によってベース領域(50)を形成する。この場合前述したようにn型の不純物を深く注入した不純物導入領域(80)によって領域(47)のp型の不純物が相殺されて領域(47)の深さが浅く規定される。そして多結晶シリコン半導体層(45)を通じて第2導電型の不純物をイオン注入しアニール処理を施してエミッタ領域(51)を形成すると共に多結晶シリコン半導体層(45)を不純物ドーピングによって低比抵抗化したエミッタ電極(46)となす。

その後第1図に示すように、必要に応じて多結晶シリコン半導体層よりなるコレクタ電極(35C)、エミッタ電極(46)、ベース電極(35B)上にそれぞれ絶縁層(43)に対して電極窓開けを行って、それぞれ金属例えばAl等よりなる良導電性層(52)を、それぞれ全面蒸着、フォトリソグラフィによるパターンエッチング等によって被着形成して各コレクタ、ベース及びエミッタ電極の低比抵抗化を図り得る。

或る場合は、これらAl等の良導電性層(52)に変えて例えば各多結晶シリコン層(35C)、(35B)及び(45)上にこれを低比抵抗化するタングステン等の金属層を被着してシリサイド化するか、多結晶層上にシリサイド層が形成されたいわゆるポリサイド層による構成とすることができる。

このようにすれば、埋込み領域(23)上のn型の半導体層(24)の一部によってコレクタ領域(53)が形成され、その一部にコレクタ電極取出し領域(25)が形成されコレクタ領域(53)上にベース動作領域(47)、ベース連結領域(49)、ベース電極取出

し領域(48)によって形成されたベース領域(50)が形成され、このベース領域(50)の動作領域(47)上にエミッタ領域(51)が形成されたpnp型のトランジスタがそれぞれセルフアラインをもって形成されてなる。

またこのように本発明による半導体装置においては、その所定の半導体領域部(1)すなわちこの例ではコレクタ電極取出し領域(25)上に形成されるコレクタ電極(35C)すなわち不純物含有半導体層(2)が他の領域(3)すなわちベース領域(50)が形成される側において絶縁層(31)による不純物拡散阻止層(4)が介在されるようにしたので、この不純物含有半導体層(2)からの不純物がベース領域(53)の近傍にまで延在してコレクタ・ベース間耐圧 V_{ce0} の低下を生じするような不都合が回避される。

なお上述した例においては、チャンネルストップ領域(32)の形成を第2図Cで説明したように、厚い分離絶縁層(30)を貫通してイオン注入によって形成した場合であるが、ある場合は第2図Bで説明した溝(29)の形成後にその所定部に第1導電

型の不純物、この例ではp型の不純物を選択的に拡散してチャンネルストップ領域(32)を形成することもできる。しかしながらこの場合においてはチャンネルストップ領域(32)の拡散形成後に長時間高温加熱例えば厚い分離絶縁層(30)を形成するLOCOS処理等を伴うことによって、チャンネルストップ領域(32)が拡大してこれが埋込み領域(32)に近接してその耐圧低下を招来する恐れがある。このことから、このチャンネルストップ領域の拡大を見込んでチャンネルストップ領域の配置面積を確保しておくときは、全体の面積が大となる不都合がある。またこのチャンネルストップ領域(32)の拡大に伴ってその接合面積の増大したによって寄生容量の増大化が伴う恐れがある。ところが、第2図で説明したように、LOCOS処理後すなわち厚い分離絶縁層(30)の形成後に深いイオン注入によってチャンネルストップ領域(32)を形成する場合にはこのような不都合を回避できる。

また上述の半導体装置において、第2図で説明したようにそのベース領域(50)において、その動

作領域(47)とベース電極取出し領域(48)との間に両者を連結するベース連結領域(49)を設けるときは、確実に動作領域(47)とベース電極取出し領域(48)とが連結されることによってベース抵抗 R_b の低減化が図られる。ところが、このような連結領域(49)を設けるときは、そのベースの深さが大となって必然的に動作領域(47)における深さも大となり、ベース幅が大となって電流増幅率を低めるおそれが生じてくるが、第2図Iで説明したようにエミッタ領域(51)下にこれと所要の距離を隔てて不純物導入領域(80)を形成するときは、これによってベース領域(50)の下方への広がりによって不純物の相殺効果いわゆるコンペイトによってベース領域の深さを規制することができる。

一方、この種半導体装置において、コレクタ抵抗の低減化を図るために第1図に示すように埋込み領域(23)上にベース領域側に向かって突出するコレクタのいわゆるベデスタル領域(54)をイオン注入によって形成する方法を採り得る。

この場合、上述したベース領域(50)の深さを規

制するコンベンセイト方法すなわち導入領域(80)を形成するためのイオン注入と、ベDESTAL領域(50)を形成するためのイオン注入は、共に同一の導電型の不純物のイオン注入によることから同一工程で行うことの検討をした。しかしながら、これらは同一注入工程で行うことはと望ましくないという結論が得られた。

すなわち、この場合、ベースの深さを制御するコンベンセイトのため不純物導入領域(80)を、 n 型の不純物りん(P)を例えば100keVのエネルギーをもって $2 \times 10^{13} \text{cm}^{-2}$ のイオン注入によって形成し、また、コレクタ抵抗を低下させるためのコレクタ埋込み領域上に設けるベDESTAL領域(54)の形成は、同様に n 型の不純物例えばりん(P)を例えば300keVのエネルギーをもって $2 \times 10^{13} \text{cm}^{-2}$ のドーズ量をもって行う。このようにして得たバイポーラトランジスタの、多結晶シリコン半導体層(46)の表面から半導体基体(21)の深さに対する不純物濃度分布を第3図に示す。この場合曲線(61)は p 型のサブストレイト(22)を構成する p 型

の不純物ボロンBの不純物濃度分布を示し、曲線(62)はコレクタ埋込み領域(23)を構成する n 型の不純物Asの不純物濃度分布を示し、曲線(63)はエピタキシャル半導体層(24)と前述したコンベンセイトの不純物導入領域(80)及びベDESTAL領域(54)を形成するための n 型の不純物りん(P)の不純物濃度分布を示し、曲線(64)はベース領域を形成する p 型の不純物ボロンBの不純物濃度分布を示し、さらに曲線(65)はエミッタ領域を形成する n 型の不純物ひ素(As)の濃度分布を示す。また同図において実線曲線(66)は全体の総合的すなわち実質的不純物濃度分布を示す。このような構成によれば、曲線(63)においてコンベンセイトのイオンの打込みによって生ずる部分(63A)の存在による p 型不純物のコンベンセイトによってそのベース幅 W_b が抑制すなわち縮小化される。一方ベDESTAL領域(54)の形成のためのりんのイオン注入による曲線(63)に生じた高濃度分布部(63B)によってコレクタ濃度がベース側の近傍にまで高められ、この領域がベDESTAL領域(54)として形成

されてコレクタ抵抗の低減化が図られる。

このようにコンベンセイト用の導入領域(84)を形成するイオン注入工程とベDESTAL領域(54)の形成のためのイオン注入とを別のプログラミングによるイオン注入によって形成するのは、先にも述べたようにこれらコンベンセイトのためのイオン注入とベDESTAL領域(54)の形成のためのイオン注入とを同時に両者を満足するイオン注入の条件が設定できないことに因る。

すなわち第4図においては、コンベンセイトのためのイオン注入及びベDESTAL領域(54)を形成するためのイオン注入を全く行わない場合における不純物濃度分布図を示すもので、第4図において第3図と対応する部分には同一符号を付して重複説明を省略する。この場合にはベース幅 W_b が第3図に比して大となりまたコレクタ低濃度部の幅も第3図に比して大となっている。

これに対して今例えばりんのイオン注入を100keVをもって $2 \times 10^{13} \text{cm}^{-2}$ のドーズ量を行った場合をみると、第5図に示す濃度分布となり、これ

より高エネルギーの360keVで同ドーズ量 $2 \times 10^{13} \text{cm}^{-2}$ をもってりんのイオン注入を行った場合の不純物濃度分布をみると第6図に示すようになる。これら第5図及び第6図において第3図と対応する部分には同一符号を付して重複説明を省略する。第5図及び第6図を対比して明らかなように、第5図の低エネルギーのイオン注入を行う場合においてはベース幅 W_b の短縮化は図られるがこの場合コレクタの低濃度部の狭小化すなわちベDESTALの効果は全く生じない。またこのイオン注入のエネルギーを高めた場合は第6図を見て明らかなようにベース幅 W_b の縮小化の効果がほとんど生じない。これらと比較して明らかなようにコンベンセイトを行う場合のイオン注入すなわち低エネルギー注入と、ベDESTAL領域(54)を形成するための高エネルギーのイオン注入によってコンベンセイトの効果とベDESTAL部形成の効果を同時に得ることができない。

なお上述した例においては、第2図Kで説明したように、多結晶シリコン半導体層(45)を通じて

エミッタ及びベースの不純物導入を行うものであるが、この場合多結晶半導体層(45)とシリコン半導体層(42)との界面に自然酸化による酸化膜が発生する。例えば多結晶シリコン半導体層(45)のCVDに際して5~10Å程度の酸化膜が生じるものであって、この酸化膜の発生はばつらきが生じる。そのため、これを通じてベース及びエミッタ領域の不純物導入を行う場合、その接合位置にばらつきが生じ特性が不均一となる場合がある。

このような不都合を回避するためには例えば多結晶シリコン半導体層(45)の生成に先立ってハロゲンランプ、エキシマレーザ、キセノンランプ等の熱線照射を行って高温短時間で、この自然発生による酸化膜を消滅させる作業を行うとか、あるいは多結晶シリコン半導体層(45)の生成後にアルゴンAr不活性ガス中あるいはH₂還元ガス系中で同様の高温短時間のアニールを行うことによってこの酸化膜を例えば多結晶シリコン中に拡散させるとかあるいは還元によって排除消滅させる方法を探り得る。

また、上述の図示した例ではnpn型トランジスタを得る場合であるがpnp型トランジスタを得る場合などにおいても本発明を適用することができる。

H 発明の効果

上述した本発明装置によれば、半導体基体(21)の所定領域部(1)すなわち例えばコレクタ電極取出し領域(25)上の、不純物含有半導体層(2)例えばコレクタ電極(35C)下にこの領域(1)((25))に隣接する他の領域部(3)、すなわちベース領域(50)側において、その不純物含有半導体層(2)からの不純物の拡散を阻止し得る不純物拡散阻止層(4)すなわち例えばSiO₂表面絶縁層(31)を介在させるようにしたことによって、この不純物含有半導体層(2)からの不純物がベース領域(50)に接する位置まで拡散してコレクタ側が高濃度化されて耐圧低下を招来するような不都合が回避される。

またこのように不純物拡散阻止層(4)すなわち表面絶縁層(31)を設け、その開口(33)を通じて不純

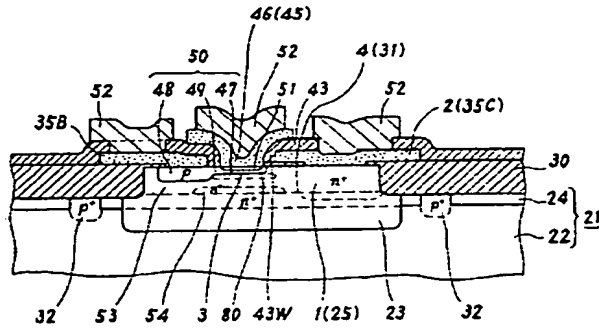
物含有半導体層(2)すなわちコレクタ電極(35C)のコンタクト部を形成するものであるがこの場合この開口(33)の幅を充分大にすればコレクタ抵抗の低減化を図ることができる。

図面の簡単な説明

第1図は本発明による半導体装置の一例の略線的拡大断面図、第2図A~Kは本発明による半導体装置を得る一製造方法における各工程における略線的拡大断面図、第3図~第6図は不純物濃度分布図、第7図及び第8図はそれぞれ従来の半導体装置の略線的拡大断面図である。

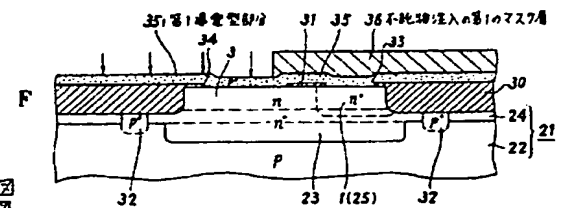
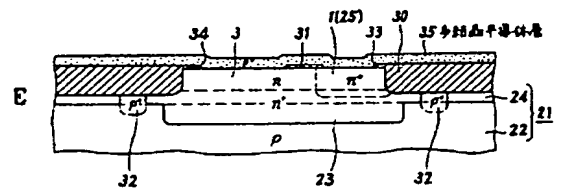
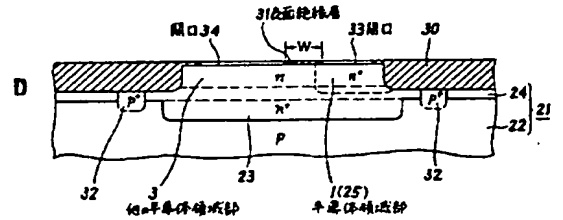
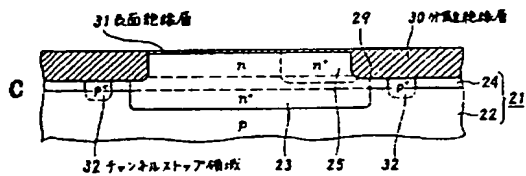
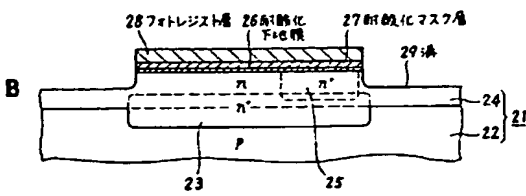
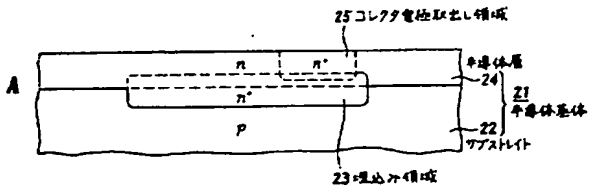
(1)は半導体領域部、(2)は不純物含有半導体層、(3)は他の半導体領域部、(4)は不純物拡散阻止層である。

代 理 人 松 隈 秀 盛

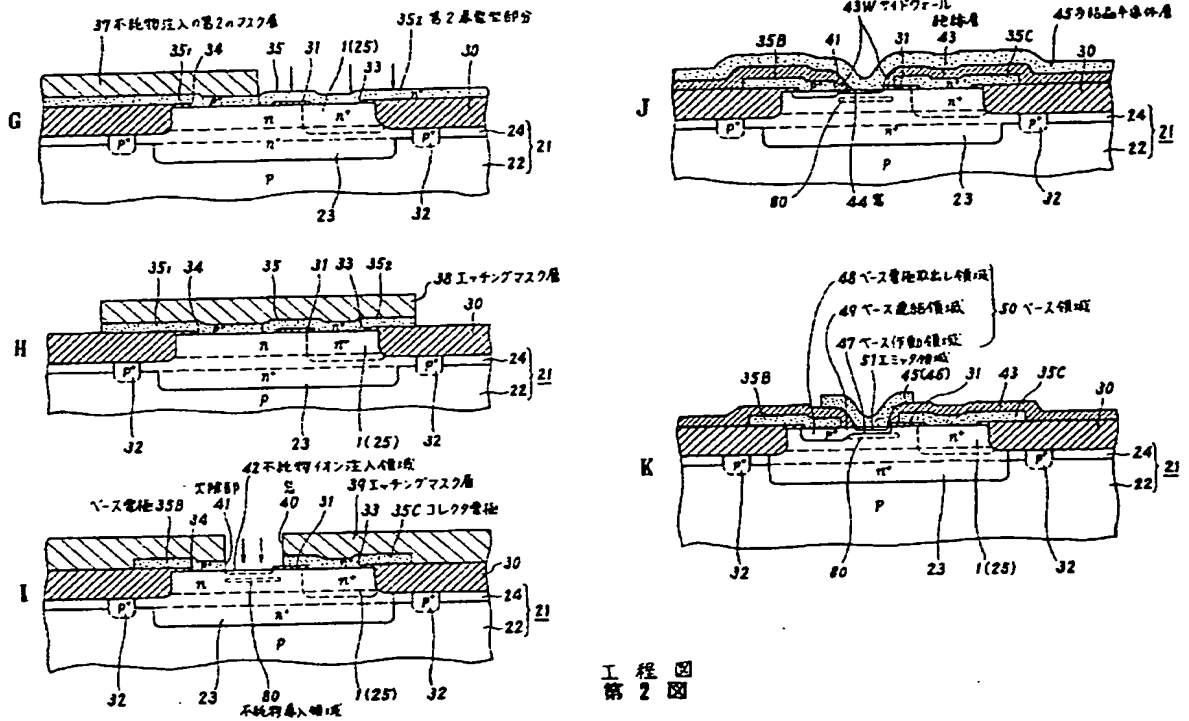


半導体装置の断面図
第 1 図

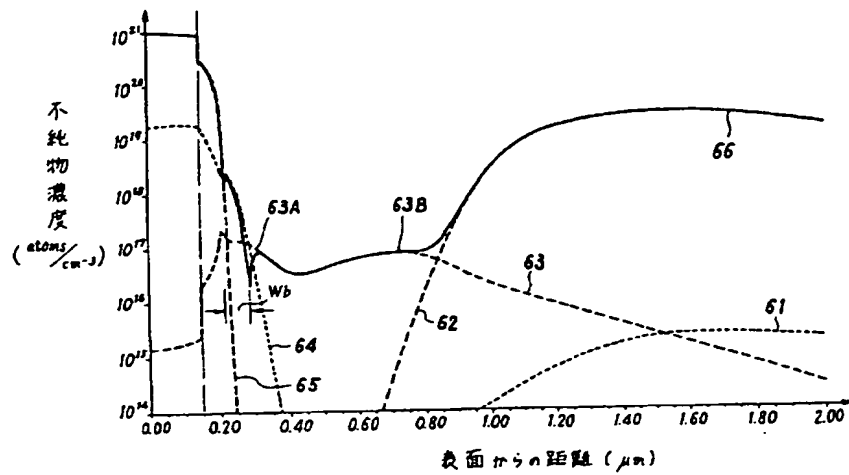
- 1 …… 半導体領域部
- 2 …… 不純物含有半導体層
- 3 …… 他の半導体領域部
- 4 …… 不純物拡散阻止層
- 21 …… 半導体基体
- 22 …… ガフストレイト
- 23 …… 埋込み領域
- 24 …… 半導体層
- 25 …… コレクタ電極取出し領域
- 30 …… 分離絶縁層
- 31 …… 表面絶縁層
- 32 …… チャンネルストップ領域
- 43 …… 絶縁層
- 43W …… サイドウォール
- 45 …… 多結晶シリコン半導体層
- 46 …… エミッタ電極
- 47 …… ベース作動領域
- 48 …… ベース電極取出し領域
- 49 …… ベース連絡領域
- 50 …… ベース領域
- 51 …… エミッタ領域
- 52 …… 反導電性層
- 53 …… コレクタ領域
- 54 …… ヲゲスツル領域
- 80 …… 不純物導入領域



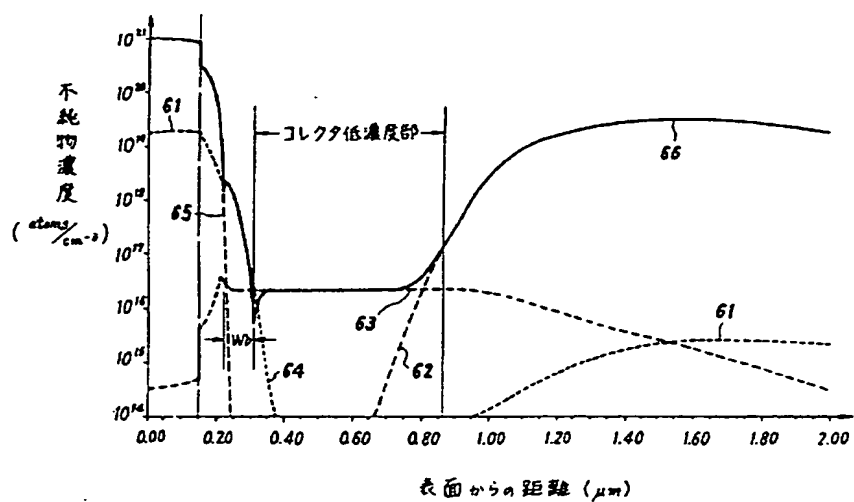
工程圖
第 2 圖



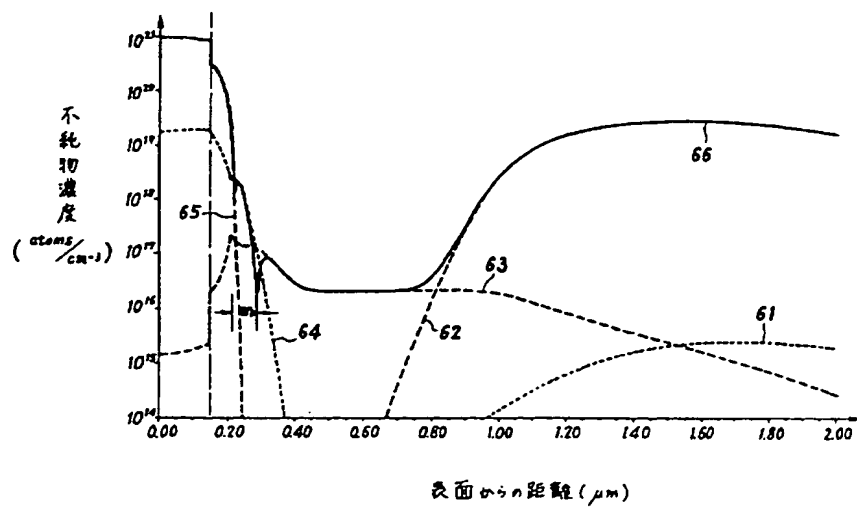
工程図
第2図



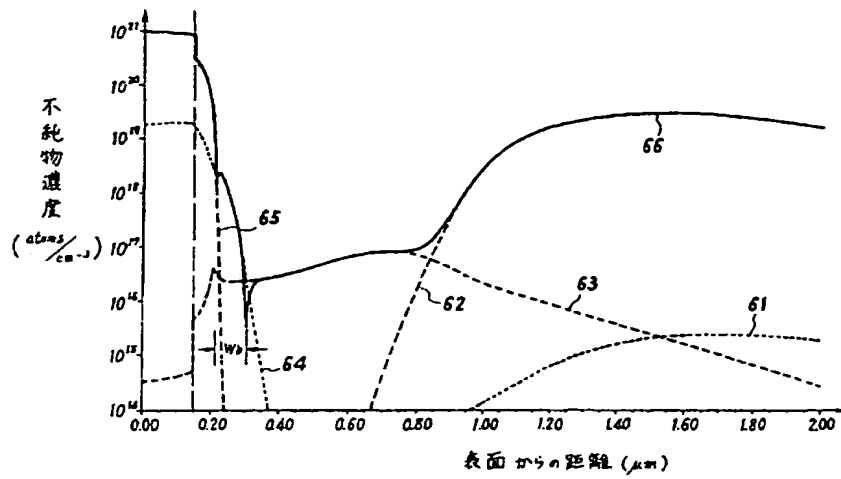
不純物濃度分布図
第3図



不純物濃度分布図
第 4 図

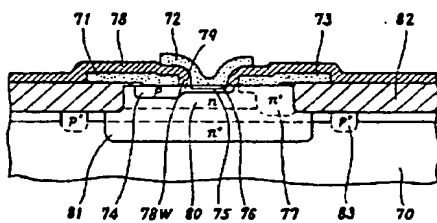


不純物濃度分布図
第 5 図

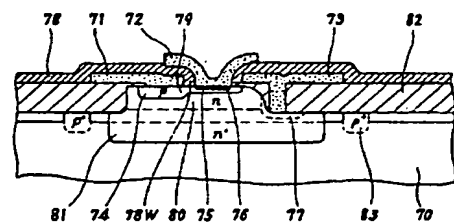


不純物濃度分布図
第 6 図

- | | |
|---------------------------|----------------------|
| 70 半導体基板 | 78W サイドウォール |
| 71, 72, 73 多結晶シリコン層 | 79 ベース電極領域 |
| 74 ベース電極取り出し領域 | 80 低濃度コレクタ領域 |
| 75 ベース動作領域 | 81 コレクタ埋込み領域 |
| 76 エミッタ領域 | 82 分離絶縁層 |
| 77 コレクタ電極取り出し領域 | 83 チャンネルストップ領域 |
| 78 絶縁層 | |



従来の半導体装置の断面図
第 7 図



従来の半導体装置の断面図
第 8 図

特開平3-138946 (12)

手続補正書

平成 1 年 1 2 月 2 日

特許庁長官 吉 田 文 毅 殿

1. 事件の表示

平成 1 年 特 許 願 第 2 7 6 5 3 7 号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

住 所 東京都品川区北品川 6 丁目 7 番 3 5 号

名 称 (218) ソ ニ ー 株 式 会 社

代表取締役 大 賀 典 雄

4. 代 理 人

住 所 東京都新宿区西新宿 1 丁目 8 番 1 号
TEL 03-343-582100 (新宿ビル)

氏 名 (8088) 弁 理 士 松 岡 秀 盛

5. 補正命令の日付 平成 年 月 日

6. 補正により増加する請求項の数

7. 補正の対象

明細書の発明の詳細な説明の欄
及び図面

8. 補正の内容

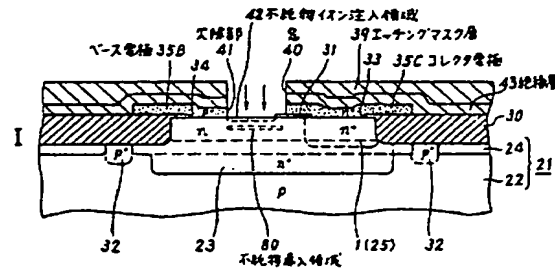
(1) 明細書中、第12頁5行「除去し、再び」を
「除去し、全面的にSiO₂等の絶縁層(43)をC V
D法等によって全面的に形成し、再び」に訂正
する。

(2) 同、同頁11行「多結晶半導体層(35)」を「絶
縁層(43)及び多結晶半導体層(35)」に訂正する。

(3) 同、第13頁7行「よって全面的に」を「よっ
て更に全面的に」に訂正する。

(4) 同、第16頁3行「pnp型」を「npn型」
に訂正する。

(5) 図面中、第2図1を別紙のとおり訂正する。
以 上



第 2 図

補正図

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成10年(1998)8月21日

【公開番号】特開平3-138946
【公開日】平成3年(1991)6月13日
【年通号数】公開特許公報3-1390
【出願番号】特願平1-276537
【国際特許分類第6版】

H01L 21/331
29/73

【F I】

H01L 29/72

手 続 補 正 書

平成 8 年 1 0 月 2 4 日

特許庁長官 荒 井 寿 光 殿

1. 事件の表示

平成 1 年 特 許 願 第 2 7 6 5 3 7 号

2. 補正をする者

事件との関係 特許出願人

住 所 東京都品川区北品川6丁目7番35号

名 称 (218) ソ ニ ー 株 式 会 社

代表取締役 出 井 伸 之

3. 代 理 人

住 所 東京都新宿区西新宿1丁目8番1号
TEL 03-3343-5821(0) (新宿ビル)

氏 名 (8088) 弁 理 士 松 岡 秀 盛

4. 補正命令の日付 平成 年 月 日

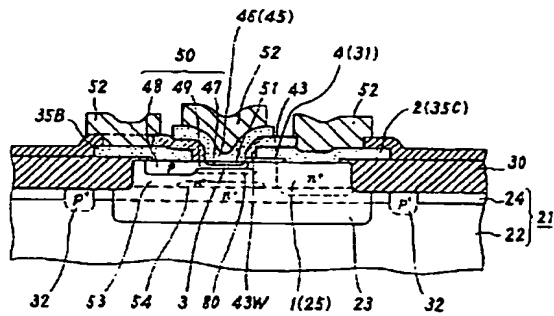
5. 補正により増加する請求項の数

5. 補正の対象 原明書の発明の詳細な説明の欄、図面
及び平成1年12月28日付け手続補正書
の補正の内容の欄。

7. 補正の内容

- (1) 明細書中、第7頁5行「選択的に第2導電層の側では」を「選択的に第2導電層、この側では」と訂正する。
- (2) 同、第8頁9行「そして第2図Cに示すよう、」を「そして第2図Cに示すように、」と訂正する。
- (3) 同、第13頁4行「第1導電層」を「第2導電層」と訂正する。
- (4) 同、第17頁7行「埋込み領域(32)」を「埋込み領域(23)」と訂正する。
- (5) 同、第21頁3行「(84)」を「(80)」と訂正する。
- (6) 同、第23頁3行「導体層(42)」を「導体層(24)」と訂正する。
- (7) 図面中、第1図、第2図B、第2図E及び第2図Kを3枚のように修正する。
- (8) 平成1年12月28日付け手続補正書の補正の内容中、第1項を削除して原明書に戻し、改めて明細書中、第12頁5行「除去し、再び」を「除去し、SiO₂等の絶縁層(43)をCVD法等によって全面的に形成し、再び」と訂正する。

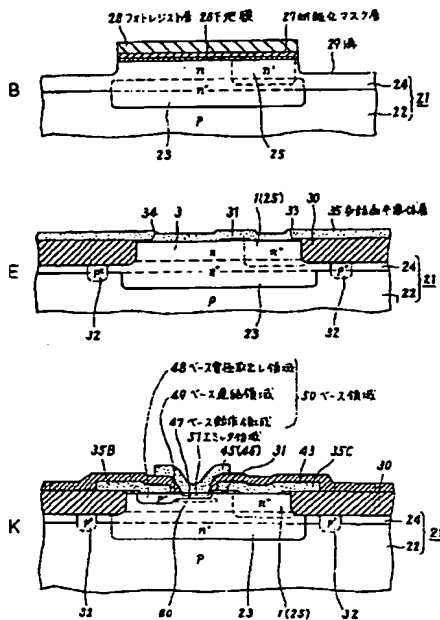
以 上



半導体装置の断面図
第1図

- 1 …… 半導体領域部
- 2 …… 不純物含有半導体層
- 3 …… 他の半導体領域部
- 4 …… 不純物拡散防止層
- 21 …… 半導体基体
- 22 …… プラストレイ
- 23 …… 埋込み領域
- 24 …… 半導体層
- 25 …… コレクタ電極取出し領域
- 30 …… 分離絶縁層
- 31 …… 表面絶縁層
- 32 …… チャンネルストップ領域
- 43 …… 絶縁層
- 43W …… サイドウォール
- 45 …… 多結晶シリコン半導体層
- 46 …… エミッタ電極
- 47 …… ベース動作領域
- 48 …… ベース電極取出し領域
- 49 …… ベース連絡領域
- 50 …… ベース領域
- 51 …… エミッタ領域
- 52 …… 低導電性層
- 53 …… コレクタ領域
- 54 …… ベースサル領域
- 60 …… 不純物導入領域

補正図



1. 図
第2図